

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-341135

(43)Date of publication of application : 08.12.2000

(51)Int.Cl.

H03M 9/00
G06F 1/10

(21)Application number : 11-145658

(71)Applicant : NEC CORP

(22)Date of filing : 25.05.1999

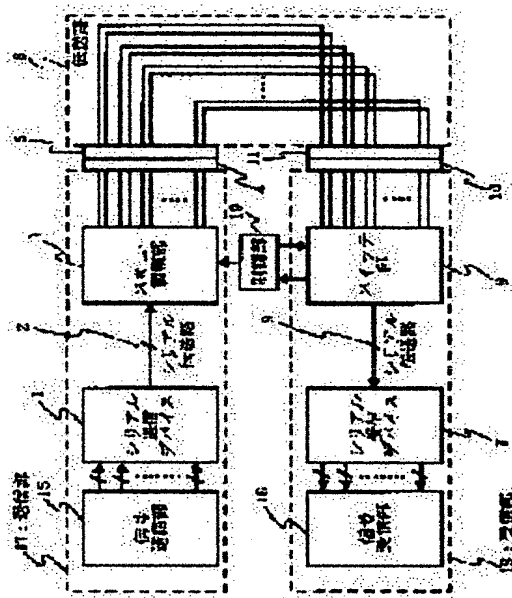
(72)Inventor : YAJIMA HIROHITO

(54) AUTOMATIC SKEW ADJUSTMENT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an automatic skew adjustment device that can automatically adjust a skew between serial transmission lines, when using a plurality of the serial transmission lines for high speed parallel-serial conversion transmission.

SOLUTION: The automatic skew adjustment device consists of a transmission section 17, that divides and converts a parallel signal received from a signal transmission section 15 into a plurality of serial signals and transmits the serial signals to a transmission line 6 comprising a plurality of serial transmission lines, a reception section 18 that converts a plurality of the received serial signals into a parallel signal via the transmission line 6 and outputs the parallel signal from a signal reception section 18, a test pattern generating section that generates a test signal with a prescribed test pattern in a skew adjustment section 3, a test pattern reception section in a switch section 9 that receives the prescribed test pattern and measures a transmission delay difference between serial transmission lines of the transmission line 6, and a delay lie in the skew adjustment section 3 that adjusts the delay of the signal sent by each serial transmission line, on the basis of the delay difference measured by the test pattern reception section in the skew adjustment section 3.



LEGAL STATUS

[Date of request for examination]

21.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3409739

[Date of registration]

20.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-341135

(P2000-341135A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.⁷

識別記号

F I

データベース(参考)

H 0 3 M 9/00

H 0 3 M 9/00

A 5 B 0 7 9

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 A

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平11-145658

(22) 出願日

平成11年5月25日 (1999.5.25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 矢島 裕仁

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

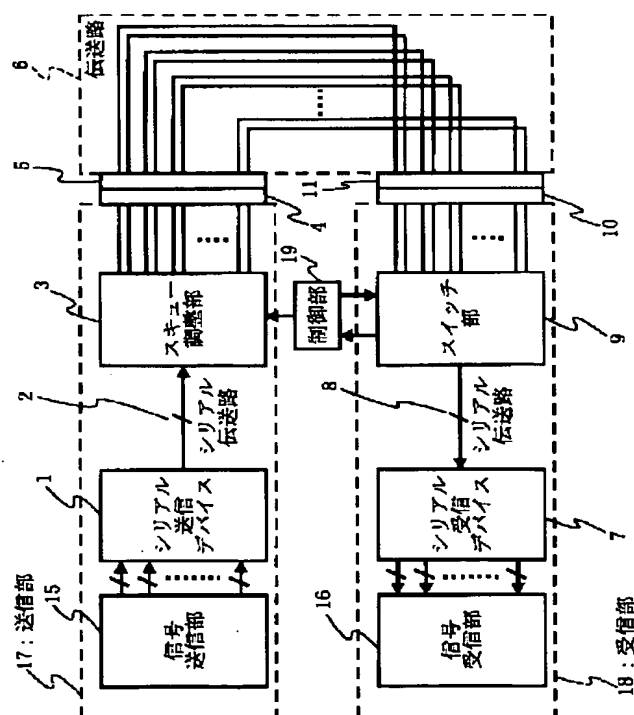
Fターム(参考) 5B079 AA04 CC02 CC08 CC14 DD06

(54) 【発明の名称】 自動スキュー調整装置

(57) 【要約】

【課題】 高速パラレル-シリアル変換伝送において複数のシリアル伝送路を用いる場合に、シリアル伝送路間のスキューを自動的に調整することができる自動スキュー調整装置を提供する。

【解決手段】 信号送信部15から入力されたパラレル信号を複数のシリアル信号に分割、変換して複数のシリアル伝送路からなる伝送路6へ送信する送信部17と、伝送路6を介して受信された複数のシリアル信号をパラレル信号に変換して、信号受信部16から出力する受信部18と、スキュー調整部3内で所定のテストパターンを有するテスト信号を発生するテストパターン発生部と、スイッチ部9でその所定のテストパターンを受信して伝送路6の各シリアル伝送路間の伝送の遅延差を測定するテストパターン受信部と、スキュー調整部3内でテストパターン受信部で測定された遅延差に基づいて各シリアル伝送路で伝送される信号の遅延量を調節するディレイラインとから構成されている。



【特許請求の範囲】

【請求項1】 入力されたパラレル信号を複数のシリアル信号に変換して複数のシリアル伝送路からなる伝送路へ送信する送信部と、
前記伝送路を介して受信された複数のシリアル信号をパラレル信号に変換して出力する受信部と、
前記送信部に設けられたものであって、所定のテストパターンを有するテスト信号を発生するテストパターン発生部と、
前記受信部に設けられたものであって、前記所定のテストパターンを受信して、前記伝送路の各シリアル伝送路間の伝送の遅延差を測定するテストパターン受信部と、
前記送信部又は前記受信部の少なくとも一方に設けられたものであって、前記テストパターン受信部で測定された遅延差に基づいて、各シリアル伝送路で伝送される信号の遅延量を制御する遅延手段とを備えることを特徴とする自動スキュー調整装置。

【請求項2】 前記送信部が、入力された通常の信号とテスト信号のいずれか一方を選択して送信するための第1の切替手段を有し、
前記受信部が、受信した通常の信号をパラレル変換するための手段に接続するか、又は前記テストパターン受信部に接続するかを選択する第2の切替手段を有することを特徴とする自動スキュー調整装置。

【請求項3】 前記テスト信号には、信号の位相を検出するための同期パターンがあらかじめ設定されていて、該テスト信号は、各伝送路に対して同相で送出されることを特徴とする請求項1又は2記載の自動スキュー調整装置。

【請求項4】 前記遅延手段が、各伝送路に対する遅延量の制御状態を保持するための手段を有することを特徴とする請求項1又は2記載の自動スキュー調整装置。

【請求項5】 さらに前記複数のシリアル伝送路からなる伝送路を含む請求項1～4のいずれか1項に記載の自動スキュー調整装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、高速パラレル-シリアル変換伝送において、シリアル伝送を複数の伝送路に分割して行う場合に、各伝送路間のスキューを自動的に調整するための自動スキュー調整装置に関する。

【0002】

【従来の技術】 高速パラレル-シリアル変換伝送において、伝送レートを上げようとした場合、シリアル伝送のスピードを上げるか、シリアル伝送のスピードはそのまま多ビット化することになる。一方、多ビットを送受信する場合には、多重化するか高速シリアル伝送路を何本かに分けて送受信することになるが、この場合パラレル-シリアル変換して伝送するときに複数あるシリアル伝送路間のスキューが問題になってくる。通常は、伝送

路のスキューが最小になるように伝送路の設計を行うが、シビアに伝送路の長さを揃える必要があった。

【0003】 上記のように、従来の高速シリアル伝送の場合、シリアル伝送路が複数になると、スキューをかなりの精度で揃えなければならず、シリアル伝送が高速になれば高速になるほど、スキューを考慮しなければならない問題点があった。

【0004】

【発明が解決しようとする課題】 本発明では、上述した高速パラレル-シリアル変換伝送のように複数のシリアル伝送路を用いる場合に、シリアル伝送路間のスキューを自動的に調整することによって、伝送路のスキューに左右されない伝送を行うことができるようにする自動スキュー調整装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記課題を解決するため、請求項1記載の発明は、入力されたパラレル信号を複数のシリアル信号に変換して前記伝送路へ送信する送信部と、複数のシリアル伝送路からなる伝送路を介して受信された複数のシリアル信号をパラレル信号に変換して出力する受信部と、前記送信部に設けられたものであって、所定のテストパターンを有するテスト信号を発生するテストパターン発生部と、前記受信部に設けられたものであって、前記所定のテストパターンを受信して、前記伝送路の各シリアル伝送路間の伝送の遅延差を測定するテストパターン受信部と、前記送信部又は前記受信部の少なくとも一方に設けられたものであって、前記テストパターン受信部で測定された遅延差に基づいて、各シリアル伝送路で伝送される信号の遅延量を制御する遅延手段とを備えることを特徴としている。

【0006】 また、請求項2記載の発明は、前記送信部が、入力された通常の信号とテスト信号のいずれか一方を選択して送信するための第1の切替手段を有し、前記受信部が、受信した通常の信号をパラレル変換するための手段に接続するか、又は前記テストパターン受信部に接続するかを選択する第2の切替手段を有することを特徴としている。また、請求項3記載の発明は、前記テスト信号には、信号の位相を検出するための同期パターンがあらかじめ設定されていて、該テスト信号は、各伝送路に対して同相で送出されることを特徴としている。また、請求項4記載の発明は、前記遅延手段が、各伝送路に対する遅延量の制御状態を保持するための手段を有することを特徴としている。

【0007】 また、本発明の自動スキュー調整装置は、請求項5記載のように、さらに前記複数のシリアル伝送路からなる伝送路を含む態様とすることができる。

【0008】 本発明によれば、伝送路のスキューを物理的に揃えるのではなく電氣的に揃えることによって伝送路の長さの違いによるスキューを減らすことができ、例えば伝送路が途中で変更になった場合でも調整が可能な

ため、伝送路が変更になる場合にも有効である。

【0009】

【発明の実施の形態】以下、図面を参照して本発明による自動スキュー調整装置の実施の形態について説明する。図1に本発明の自動スキュー調整装置の一実施の形態の構成を示す。本実施の形態は、大きく分けて、入力されたパラレル信号をシリアル信号に変換して送信する送信部17、送信部17から送信されたシリアル信号を伝送する伝送路6、伝送路6を介して送られてきたシリアル信号を受信し、パラレル信号に変換して出力する受信部18から構成されている。

【0010】送信部17の信号送信部15から入力されたパラレル信号は、シリアル送信デバイス1の入力端子に入力される。シリアル送信デバイス1では、入力されたパラレル信号がパラレル→シリアル変換されて複数のシリアル信号となり、複数のシリアル伝送路からなるシリアル伝送路2にてスキュー調整部3に入力される。スキュー調整部3は、後述する制御部19によって制御され、複数のシリアル信号間のスキュー調整を行う。そして、スキュー調整された信号は、コネクタ4およびコネクタ5を通して伝送路6を通り、コネクタ11、10により接続された受信部18に伝送される。

【0011】受信側では複数のシリアル信号がスイッチ部9を通り、さらにシリアル伝送路8を通してシリアル受信デバイス7に入力され、シリアル→パラレル変換された後、信号受信部16に伝送され、もとのパラレル信号に戻されて出力される。

【0012】図2を参照して図1に示すスキュー調整部3の詳細について説明する。図2に示すスキュー調整部3は、同一構成の複数のディレイ処理部1(符号21)、2(23)、…、n(24)と(nは伝送路6内の伝送路の数)、各ディレイ処理部1(21)、2(23)、…、n(24)を制御する制御部25と、テストパターン発生部28とから構成されている。

【0013】シリアル伝送路2からの入力の一つは、例えばディレイ処理部1(21)内のディレイライン20の入力側に入力され、制御部25からの指定によりマルチプレクサ22によって遅延量の調節がなされる。その後マルチプレクサ22の出力は、TTL→LVDS変換部27(TTL:Transistor-Transistor Logic, LVDS:Low Voltage Differential Signaling)によってLVDSレベルに変換された後、TTL→LVDS変換部27から一対の信号線を介して出力され、スキュー調整部3から出力される一つのシリアル信号となる。

【0014】次に、図3を参照して、図1に示すスイッチ部9の詳細について説明する。スイッチ部9は、伝送路6内のシリアル伝送路の数だけ用意される同一構成の複数のスイッチ部1(符号43)、2(44)、…、n(45)から構成されている。各スイッチ部1(43)、2(44)、…、n(45)は、入力されたシリアル信号を出力1-1' または出力2-2'

のいずれか一方に切り替えて出力するスイッチ40と、スイッチ40の出力2-2' に接続されているテストパターン受信部41と、スイッチ40の出力1-1' に接続されているLVDS→TTL変換部42から構成されており、通常、スイッチ40は入力信号をLVDS→TTL変換部42へ出力し、各スイッチ部1(43)、2(44)、…、n(45)からはTTLレベル信号が出力される。各スイッチ40の切り替えは、図1の制御部19によって行われる。一方、伝送路のスキューを測定する場合は、スイッチ40がテストパターン受信部41側に接続され、テストパターン受信部41が伝送路の遅延量を測定し、図1の制御部19側に送出する。

【0015】次に、図1～図3を参照して説明した実施の形態の動作について、各図を参照して説明する。図1において、信号送信部15から出力されたパラレル送信データは、シリアル送信デバイス1の入力側に入力される。シリアルデバイス1の入力データ幅は、使用デバイスにより異なるが、例えば28bit幅などである。シリアル送信デバイス1では、パラレル→シリアル変換が行われる。例えば28bit幅のパラレル信号が、4本のシリアルデータ伝送ラインと1本のシリアルクロック伝送ライン上の信号となるように変換される。パラレル→シリアル変換後は、シリアル伝送路2にて伝送されて、スキュー調整部3に入力される。

【0016】スキュー調整部3は、上述した図2に示すような構成になっており、遅延量の設定とTTLレベルからLVDSレベルへの変換を主に行う。LVDSレベルに変換する目的は伝送路の距離が増やせることと、EMC(Electromagnetic Compatibility)等でメリットがあるためである。

【0017】ここで遅延量の設定方法について説明する。図2において、遅延量の設定の際、制御部25は、複数の伝送路による遅延量の違いを測定するため、通常処理とは異なり、テストパターン発生部28から、スキュー調整用の信号として、各伝送路に対して共通の(同相の)測定用パターンを有するテスト信号を送出する。テスト信号には位相が分かるように同期パターンをあらかじめ設定しておく。この信号は各TTL→LVDS変換部27内にて通常信号と切り替えられて受信側に送出される。このテスト信号は、複数の伝送路間で同じタイミングの信号として送信されるようにする。一方、受信部18側では、図3に示す各スイッチ部9内のスイッチ40の動作をテストパターン受信部41側に切り替えるようにする。

【0018】各テストパターン受信部41は、送られてきたテスト信号を受信し、同期信号のタイミングを伝送路ごとに、制御部19を介して制御部25へ伝える。制御部25では、伝送路ごとに異なっている受信のタイミングを考慮し、一番遅れているタイミングに各伝送路のタイミングを合わせる動作を行う。これは、図2の各ディレイライン20のディレイ時間設定を各マルチプレクサ22によって制御することで行う。なお、すべてのタイミングが同時になった状態を保持し、次に設定されるまで保持して

おくようにする。以上が遅延量の設定である。

【0019】遅延量が設定されたデータは、伝送路6を通りコネクタ11、コネクタ10によって接続された受信部18に入力される。受信部18では、LVDS信号がスイッチ部9に入力され、各スイッチ40が通常動作としてLVDS→TTL変換部42に接続される。各LVDS→TTL変換部42では、LVDSレベルの信号がTTLレベルの信号に変換される。TTLレベルに変換されたデータ信号は、シリアル伝送路8を介してシリアル受信デバイス7に入り、シリアル受信デバイス7によってシリアル→パラレル変換され、もとのパラレル信号に戻された形で信号受信部16に入力される。

【0020】以上の動作により、受信側では伝送路の違いによる遅延差が考慮され、同タイミングで複数のシリアル信号を受信することが出来る。

【0021】次に、図4を参照して本発明の他の実施の形態について説明する。なお、図4において、図1に示すものと同一の構成には同一の符号を付け、また、図1に示すものに対応する構成には同一の数字に英字aを付加した符号を付けている。図1に示す実施の形態と比較して本実施の形態が最も異なる点は、スキュー調整部3aを送信側ではなく、受信側に配置したことである。

【0022】送信部17a内の信号送信部15aは、図1の信号送信部15に図2のテストパターン発生部28と同様のものを追加した構成を有しており、制御部19aからの制御信号に従って、通常のデータ信号とテスト信号とを切り替えて出力する。シリアル送信デバイス1aは、図1のシリアル送信デバイス1に、図2のTTL→LVDS変換部27と同様のものを追加した構成を有しており、TTLの各シリアル信号をLVDSに変換した後、コネクタ4から出力する。スイッチ部9は、前出の図3に示すものと同一の構成であり、コネクタ10から複数のLVDSのシリアル信号を入力し、制御部19aからの制御信号に応じて通常時には各スイッチ40を介して各LVDS→TTL変換部27で変換された複数のTTLのシリアル信号を出力する。スキュー調整部3aは、図2のスキュー調整部3からテストパターン発生部28と複数のTTL→LVDS変換部27とを取り除いた構成であり、シリアル伝送路8から入力された各シリアル信号の遅延量を、制御部19aの制御に従って伝送路毎に調節して出力する。

【0023】以上の構成において、本実施の形態では、スキュー調整時、先の実施の形態と違って、送信部17aの信号送信部15aにて所定のテストパターンを有するテスト信号を発生させ、これを受信部18aのスイッチ部9内

の各テストパターン受信部41で受信する。そして、スイッチ部9内の各テストパターン受信部41から、伝送路ごとに、同期信号のタイミングが制御部19aを介して信号送信部15aへと伝えられる。信号送信部15aでは、伝送路ごとに異なる受信のタイミングを考慮し、一番遅れているタイミングに各伝送路のタイミングを合わせる動作を行う。

【0024】なお、本発明による自動スキュー調整装置の構成は、上記各実施の形態の構成に限定されるものではなく、例えば、スキュー調整部を送信側と受信側の双方に設けることや、伝送路6でTTLの信号を伝送するようにすること等の変更が適宜可能である。

【0025】

【発明の効果】以上説明したように、本発明によれば次のような効果を得ることができる。第1の効果は、伝送路のスキューを考慮することが少なくなり設計に自由度が出る点である。その理由は、伝送路のスキューを調整し、スキューの違いを吸収できるからである。第2の効果は、伝送路を変更した場合でも安定して動作できることにある。その理由は、伝送路に左右されず、送受信側で調整が可能なためである。

【図面の簡単な説明】

【図1】 本発明による自動スキュー調整装置の一実施の形態の構成を示すブロック図。

【図2】 図1のスキュー調整部3の構成を示すブロック図。

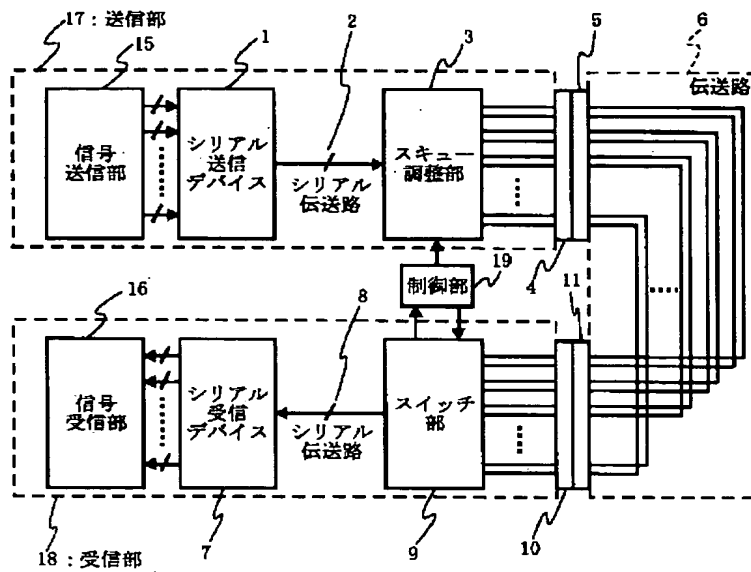
【図3】 図1のスイッチ部9の構成を示すブロック図。

【図4】 本発明による自動スキュー調整装置の他の実施の形態の構成を示すブロック図。

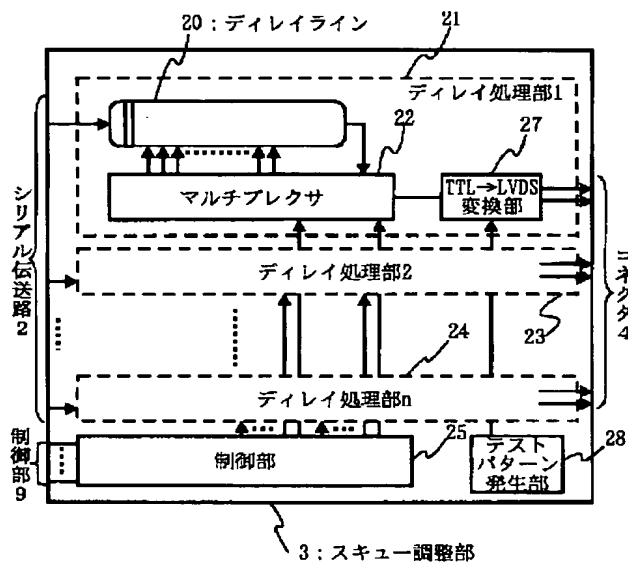
【符号の説明】

1, 1a…シリアル送信デバイス, 2…シリアル伝送路, 3, 3a…スキュー調整部, 4, 5, 10, 11…コネクタ, 6…伝送路, 7…シリアル受信デバイス, 8…シリアル伝送路, 9…スイッチ部, 15, 15a…信号送信部, 16…信号受信部, 17, 17a…送信部, 18, 18a…受信部, 19, 19a…制御部, 20…ディレイライン, 21…ディレイ処理部1, 22…マルチプレクサ, 23…ディレイ処理部2, 24…ディレイ処理部n, 25…制御部, 27…TTL→LVDS変換部, 28…テストパターン発生部, 40…スイッチ, 41…テストパターン受信部, 42…LVDS→TTL変換部, 43…スイッチ部1, 44…スイッチ部2, 45…スイッチ部n

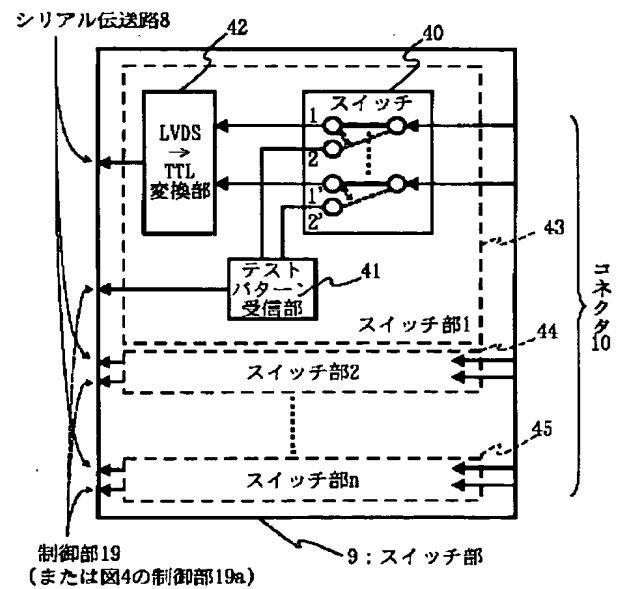
【図1】



【図2】



【図3】



【図4】

